

B20

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-307974

(43) 公開日 平成4年(1992)10月30日

(51) Int. Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/788 29/792 27/115		8225-4M 8831-4M	H 0 1 L 29/78 27/10	3 7 1 4 3 4
審査請求 未請求 請求項の数1(全 4 頁)				

(21) 出願番号	特願平3-73239	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成3年(1991)4月5日	(72) 発明者	吉見 正徳 大阪市阿倍野区長池町22番22号 シャープ 株式会社内
		(74) 代理人	弁理士 野河 信太郎

(54) 【発明の名称】 電気的消去可能不揮発性半導体記憶装置

(57) 【要約】

【目的】 ソースオフセットに選択ゲートを構成したE E P R O MにおけるF-Nトンネリングによる消去を円滑化して、素子の縮小化を図る。

【構成】 1つのソースラインとその両側のドレインラインとで2つのE E P R O Mセルを構成し、各フローティングゲートの一方側をホットエレクトロンによる書き込み部位とし他方側をF-Nトンネリングによる一括消去部位として機能分離する。

【実例】以下、整付図面に示す実例に基き、次の問いに答えよ。

【0015】図1は、この発明の一実施例のF.F.P.R.O.Mを示す平面構成説明図であり、図2（イ）は、図1のA-A'線断面説明図、図2（ロ）は同じくB-B'線断面説明図である。

10

20

30

とにより、図5に示すように、各々狭幅領域と広幅領域を有する一対のI-字状フローティングゲート2を形成する。

【0022】上記フローティングゲート2の形成後、図6に示されるようにフォトリソist 8を用いたフォトリソグラフィにより、メモリーセルのドレイン構成ラインに砒素をイオン注入してドレインラインを形成する。

【0023】この後、フローティングゲート2の書き込み部位上に各々CVDによる層間絶縁膜(SiO<sub>2</sub>)を被覆形成した後、ポリシリコンの堆積層へのN型不純物拡散並びに堆積層のフォトリソグラフィによるパターンニング及びエッチングを行なうことにより、図7に示すごとく、コントロールゲート5を形成してこの発明のEEPROMが得られる。

[0024]

【発明の効果】以上の様に、この発明のEEPROMによれば、ソース側のオフセット部を選択ゲートとする場合においても、ソース側より円滑に消去操作できるので、独立して消去用ゲートを設ける場合と比べメモリーセル専有面積が著しく減少され、さらなるEEPROMの高集積化を図ることが可能となる。

【0025】さらに、ホットエレクトロン発生効率の良いドレイン接合及び、消去用の高電圧においてもリーク電流の少ない、ソース接合を別々に最適化できる。従って、ドレイン側よりホットエレクトロンにより書き込み、ソース側よりF-Nトンネリングにより消去する電気的消去可能不揮発性半導体記憶装置の製造の観点からも、その設計がより容易となり、製造工程も容易となる利点も得られる。

【図面の簡単な説明】

【図1】この発明の一実施例のEEPROMの平面構成説明図である。

【図2】(イ)は、図1のA-A'線断面説明図、  
(ロ)は、B-B'線断面説明図である。

【図3】図1のEEPROMの製造工程を示すレイアウト図である。

【図4】図3に続くレイアウト図である。

【図5】図1に続くレイアウト図である。

【図6】図5に続くレイアウト図である。

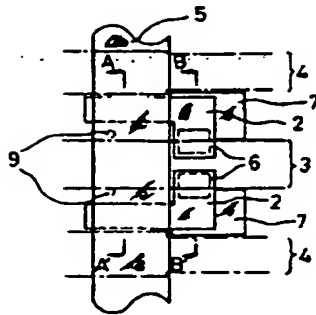
【図7】 図6に続くレイアウト図である。

**【符号の説明】**

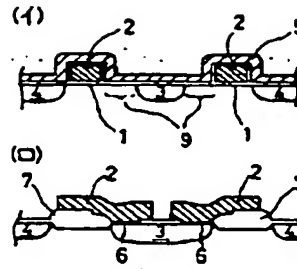
- 1 ゲート酸化膜
- 2 フローティングゲート
- 3 ソースライン
- 4 ドレインライン
- 5 コントロールゲート
- 6 トンネル酸化膜
- 7 素子分離領域
- 8 フォトリジスト
- 9 ソースオフセット

【0021】次に、CVD法により全面にポリシリコンを堆積し、N型不純物拡散してフォトリソグするこ

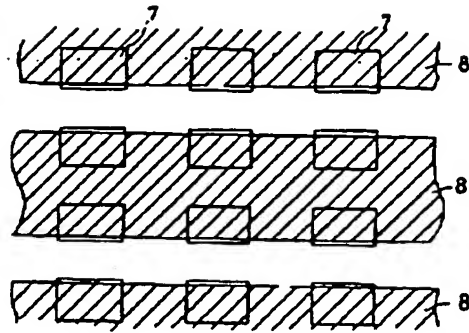
【図1】



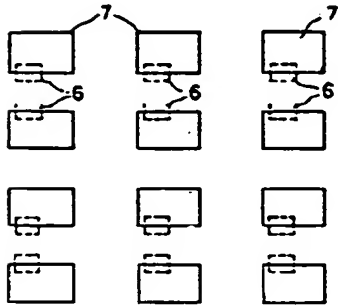
【図2】



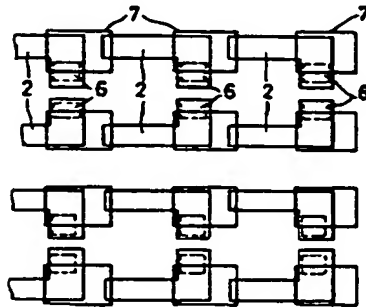
【図3】



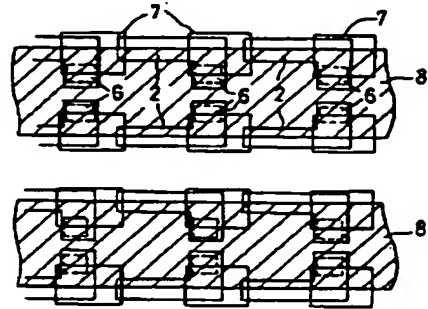
【図4】



【図5】



【図6】



【図7】

